

NONVOLATILE RANDOM ACCESS SEMICONDUCTOR STORAGE DEVICE

Publication number: JP1125860

Publication date: 1989-05-18

Inventor: WATANABE TAKESHI

Applicant: NIPPON ELECTRIC CO

Classification:

- international: G11C17/00; G11C16/04; H01L21/8247; H01L27/105; H01L27/11; H01L29/788; H01L29/792; G11C17/00; G11C16/04; H01L21/70; H01L27/105; H01L27/11; H01L29/66; (IPC1-7): G11C17/00; H01L27/10; H01L29/78

- European: H01L27/11

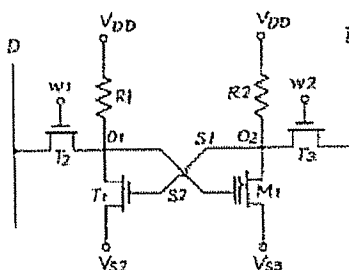
Application number: JP19870284915 19871110

Priority number(s): JP19870284915 19871110

Report a data error here

Abstract of JP1125860

PURPOSE: To reduce the number of elements a memory cell demands and to facilitate the storage and readback of data by a method wherein nonvolatile semiconductor memory elements are incorporated into a bistable circuit. **CONSTITUTION:** A means is provided to cause data accumulated in a bistable circuit functioning as a static RAM cell to be stored in a non-volatile semiconductor memory element M1, a positive voltage to be supplied to a digit line connected to a first output terminal through the intermediary of address selecting second and third MOS transistors T2 and T3 in a process of reading back, and another positive voltage to be supplied to the source of the non-volatile semiconductor memory element M1. Data 'L' and 'H' are read back at output points O1 and O2, respectively, which actuates the static RAM cell. Data is thus fed back into the static RAM cell, in response to the condition (write or erasure) of the non-volatile memory element M1. With values D, VS2, VS3, and VDD being set in this way, data stored in the non-volatile memory element M1 may easily be read back into the static RAM cell.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A) 平1-125860

⑤Int.Cl.⁴ 識別記号 庁内整理番号 ⑬公開 平成1年(1989)5月18日
 H 01 L 27/10 4 4 1 8624-5F
 G 11 C 17/00 3 0 7 D-7341-5B
 H 01 L 29/78 3 7 1 7514-5F 審査請求 未請求 発明の数 1 (全6頁)

⑭発明の名称 不揮発性ランダム・アクセス半導体記憶装置

⑯特 願 昭62-284915

⑰出 願 昭62(1987)11月10日

⑱発 明 者 渡 辺 毅 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

不揮発性ランダム・アクセス半導体記憶装置

2. 特許請求の範囲

第1の電源端子にそれぞれ一端を接続した第1、第2の高抵抗素子、ソースを第2の電源端子に接続しドレインを前記第1の高抵抗素子の他端に接続した第1のMISトランジスタ、ソースを第3の電源端子に接続しドレインを前記第2の高抵抗素子の他端に接続した、コントロール・ゲートとドレインとの間の電界により前記コントロール・ゲート下部の絶縁膜中に設けられた電荷蓄積領域内の電荷量を調整してしきい電圧を制御する不揮発性半導体記憶素子、前記第1のMISトランジスタのゲートを前記第2の高抵抗素子の他端に接続する第1の配線及び前記不揮発性半導体記憶素子のゲートを前記第1の高抵抗素子の他端に接続する第2の配線からなる双安定回路と、前記双安

定回路の第1、第2の出力端である前記第1、第2の高抵抗素子の他端にそれぞれソースを接続した第2、第3のMISトランジスタと、前記第2、第3のMISトランジスタのそれぞれのゲート及びドレインにそれぞれ接続された第1、第2のワード線及びび一对のディジット線とを含むことを特徴とする不揮発性ランダムアクセス半導体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、不揮発性ランダム・アクセス半導体記憶装置に関し、特に長時間データの保持可能で、かつデータの書き換え可能なコンピュータ用メモリとして用いられる不揮発性ランダム・アクセス半導体記憶装置に関する。

〔従来の技術〕

従来この種の不揮発性ランダム・アクセス半導体記憶装置は、スタティックRAMセルと不揮発性記憶セルを組み合わせ、前者の内容を後者に格納

する形式のものが知られている。

具体的には双安定回路からなるスタティックRAMセルに、3層多結晶シリコン構造セル、薄膜構造セル又はMN MOS構造セルを組合せるのであるが、いずれも双安定回路の外に不揮発性記憶セルと若干のトランジスタを必要とする。

〔発明が解決しようとする問題点〕

上述した従来の不揮発性ランダム・アクセス半導体記憶装置は、双安定回路の外に不揮発性記憶セルと若干のトランジスタとを有しているのに、メモリセルの素子数が多く構成が複雑であり、スタティックRAMセルと不揮発性記憶セル間の情報の転送過程が複雑で使い難い欠点がある。

〔問題点を解決するための手段〕

本発明の不揮発性ランダム・アクセス半導体記憶装置は、第1の電源端子にそれぞれ一端を接続した第1、第2の高抵抗素子、ソースを第2の電源端子に接続しドレインを前記第1の高抵抗素子の他端に接続した第1のMISトランジスタ、ソースを第3の電源端子に接続しドレインを前記第

2の高抵抗素子の他端に接続した、コントロール・ゲートとドレインとの間に電界により前記コントロール・ゲート下部の絶縁膜中に設けられた電荷蓄積領域内の電荷量を調整してしきい電圧を制御する不揮発性半導体記憶素子、前記第1のMISトランジスタのゲートを前記第2の高抵抗素子の他端に接続する第1の配線及び前記不揮発性半導体記憶素子のゲートを前記第1の高抵抗素子の他端に接続する第2の配線からなる双安定回路と、前記双安定回路の第1、第2の出力端である前記第1、第2の抵抗素子の他端にそれぞれソースを接続した第2、第3のMISトランジスタと、前記第2、第3のMISトランジスタのそれぞれのゲート及びドレインにそれぞれ接続された第1、第2のワード線及び一対のディジット線とを含んで構成される。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例の主要部を示す

回路図、第2図及び第3図はそれぞれ第1の実施例に使用する不揮発性半導体記憶素子の断面図及び特性図である。

この実施例は、第1の電源端子 V_{DD} にそれぞれ一端を接続した第1、第2の高抵抗素子 R_1, R_2 、ソースを第2の電源端子 V_{B2} に接続しドレインを第1の高抵抗素子 R_1 の他端に接続した第1のMOSトランジスタ T_1 、ソースを第3の電源端子 V_{B3} に接続しドレインを第2の高抵抗素子 R_2 の他端に接続した、コントロール・ゲート6とドレイン2との間の電界によりコントロール・ゲート6下部の絶縁膜(4)中に設けられた電荷蓄積領域(フローティング・ゲート5)内の電荷量を調整してしきい電圧を制御する不揮発性半導体記憶素子 M_1 、第1のMOSトランジスタ T_1 のゲートを第2の高抵抗素子 R_2 の他端に接続する第1の配線 S_1 及び不揮発性半導体記憶素子 M_1 のゲートを第1の高抵抗素子 R_1 の他端に接続する第2の配線 S_2 からなる双安定回路と、前述の双安定回路の第1、第2の出力端 O_1, O_2 である第1、

第2の抵抗素子 R_1, R_2 の他端にそれぞれソースを接続した第2、第3のMOSトランジスタ T_2, T_3 と、第2、第3のMOSトランジスタ T_2, T_3 のそれぞれのゲート及びドレインにそれぞれ接続された第1、第2のワード線 W_1, W_2 及び一対のディジット線 D, \bar{D} とを含んでいる。

又、この実施例には、スタティックRAMセルとして機能する前述の双安定回路に蓄えられた情報を不揮発性半導体記憶素子に格納し、読み戻し時にアドレス選択用の第2、第3のMOSトランジスタを介して第1の出力端と接続されているディジット線に正電圧を印加し、不揮発性半導体記憶素子のソースに正電圧を印加する手段が備えられている。すなわち、より具体的には、読み出し/書き込みイネーブル信号(図示しない)、情報格納イネーブル信号(図示しない)、情報読み戻し準備イネーブル信号(図示しない)及び情報読み戻しイネーブル信号(図示しない)のそれぞれに応じて、第1の電源端子 V_{DD} に電源電圧 V_{CC} 、この電源電圧 V_{CC} より高い書き込み電圧 V_P 、接地電位及び電源電

圧 V_{cc} を印加する第1の電圧発生手段(図示しない)、情報格納イネーブル信号に応じて接地電位から電源電圧 V_{cc} 側へ所定電位だけシフトした電圧 V_1 を第2の電源端子 V_{s2} に印加する第2の電圧発生手段(図示しない)及び情報読戻し準備イネーブル信号に応じて接地電位から電源電圧 V_{cc} に遷移する信号を第3の電源端子 V_{s3} に印加する第3の電圧発生手段(図示しない)を備えている。そして、これらの第1～第3の電圧発生手段は、それぞれ前述の各イネーブル信号がアクティブになるとオンするMOSトランジスタと適当な抵抗を直列接続した電圧分圧回路を用いて実現できるので図示しない。

第2図は不揮発性記憶素子の断面図であり、1は半導体基板、2はN型ドレイン領域、3はN型ソース領域である。5はシリコン酸化膜4中に設けられた電荷蓄積用のフローティング・ゲートであり、6はコントロール・ゲートである。7はドレイン領域2とフローティング・ゲート5が重なる部分において、特に薄く形成されたシリコン酸

化膜である。

第3図は第2図に示した不揮発性記憶素子の特性を示す図であり、横軸はコントロール・ゲート6の電位 V_{cg} を示し、縦軸は不揮発性記憶素子のソース3を接地してドレイン2に定電圧を印加した場合のドレイン、ソース間に流れる電流 I_{DS} を示している。第2図においてコントロールゲート6を接地し、ドレイン2に電圧を印加した時、薄い酸化膜部分7にはドレイン2からフローティング・ゲート5に向かって強い電界が生じ、正孔がフローティング・ゲート5に注入される。その結果シリコン基板1の表面に反転層が出来やすくなり、第3図の曲線21に示すようにコントロール・ゲート電位 V_{cg} が零より少し大きくなっても電流が流れる状態、すなわちしきい電圧が零になる。これを例えば消去と称することとする。それに対して消去と逆の状態、すなわち書き込みはコントロール・ゲート6に高電圧を印加しドレイン2を接地することにより実現できる。すなわち上述した電位関係をとることにより薄い酸化膜部分7

においてフローティング・ゲート5からドレイン2に向かう強い電界が生じてフローティング・ゲート中に電子が注入され、その結果シリコン基板1の表面は反転しにくい状態となり、第3図の曲線22に示すようにしきい電圧が正の高い値となる。不揮発性記憶素子の記憶された情報を読み出す時には、第3図に示すようにコントロール・ゲートに書き込み後しきい電圧より低い正の読出電圧 V_R を印加する。不揮発性記憶素子が消去された状態ならば、導通して I_R の電流を得ることができ、書き込まれた状態にあるならば非導通の状態となる。

以上に述べた不揮発性記憶素子は、例えばエレクトロニクス(Electronics)誌1988年、2月28日号、第113頁～117頁にEEPROM(電気的消去可能プログラマブル・リードオンリ・メモリ)に応用した例などがあり公知となっている。

次にこの実施例回路の動作について説明する。

第4図(a)～(h)は第1の実施例の動作を説明するための電圧供給源 V_{cc} 、第1～第3の電源端子

V_{DD} 、 V_{s2} 、 V_{s3} 及び各接点D、 O_1 、 O_2 の電位変化を示す信号波形図である。 t_1 はスタティックRAMセルの読出し/書き込み状態期間であり読出し/書き込みイネーブル信号がアクティブ(例えば5V)となる期間である。 t_2 はスタティックRAMセルから不揮発性記憶素子 M_1 への情報の格納期間であり情報格納イネーブル信号がアクティブ(例えば5V)となる期間である。 t_3 は電圧供給手段の遮断期間、 t_4 、 t_5 は不揮発性記憶素子に格納された情報をスタティックRAMセルに読戻す期間であり、 t_4 、 t_5 においてそれぞれ情報読戻し準備イネーブル信号、情報読戻しイネーブル信号がアクティブ(例えば5V)となる。

まずスタティックRAMセルの読出し/書き込み状態期間 t_1 では $V_{cc} = 5V$ に設定され、通常のスタティックRAMの読出し・書き込みを行なう。このとき V_{s2} 、 V_{s3} ともに0Vに設定される。 $T_1 \sim T_3$ のしきい値電圧は0.7V、 M_1 は格納された情報により4V～0.2Vの間に設定される。この時のスタティックRAMセルの読出し・書き込み動作

は高抵抗素子と4トランジスタ構造では周知であるので、ここで説明はしない。次にスタティックRAMセルから不揮発性記憶素子への情報の格納期間 t_2 では、スタティックRAMセル部以外の論理回路部(不記載)の電源である V_{CC} は5Vのまま V_{DD} は5Vから高電圧(書き電圧 $V_P=20V$)に移行し、その状態をある期間保持する。また V_{B2} は0Vから0.2Vに移行する。この V_{DD} に高電圧が印加された状態でスタティックRAMセルのそれぞれの情報に対応して不揮発性記憶素子 M_1 にそれぞれ「書き込み」または「消去」を行なう。たとえば読出し状態期間 t_1 でスタティックRAMセルのそれぞれの出力点 O_1, O_2 がそれぞれ「H」、「L」である場合スタティックRAMセルから不揮発性記憶素子 M_1 への情報の格納期間 t_2 ではそれぞれの出力点 O_1, O_2 は次のように移行する。出力点 O_1 は5Vから20Vに移行し、出力点 O_2 は0Vを保持する。この時の不揮発性記憶素子 M_1 の状態を考えると、コントロール・ゲートは20V、ドレインは0Vに設定され M_1

の書き込みが行なわれる。書き込みが行なわれ、 M_1 のしきい電圧 V_T が大きくなって行くと R_2 と M_1 との抵抗比で決定される O_2 の電圧は上昇し続け M_1 の V_T が4Vになると M_1 のドレイン、コントロール・ゲート間の電位差が、書き込みに必要な電位差よりも小さくなるため書き込みは停止する。このように V_T は4V以上にならないように設定される。このようにスタティックRAMセルのそれぞれの出力点 O_1, O_2 がそれぞれ「H」、「L」である場合、 t_2 の期間では「書き込み」が行なわれ $V_{TM}=4V$ になり情報の格納が実行される。

次に読出し状態期間 t_1 でスタティックRAMセルのそれぞれの出力点 O_1, O_2 がそれぞれ「L」、「H」の場合スタティックRAMセルから不揮発性記憶素子 M_1 への情報の格納期間 t_2 ではそれぞれ O_1, O_2 の電圧は次のように移行する。出力点 O_1 は V_{B2} と同電位であり0Vから0.2V(= V_1)に移行し、 O_2 は5Vから20Vに移行する。この時の不揮発性記憶素子 M_1 の状態を考えると、コントロール・ゲートは0.2V、ドレインは20V

に設定され不揮発性記憶素子 M_1 の「消去」が行なわれる。消去が続き V_T が小さくなり $V_T=0.2V$ になると M_1 がオンするがこの M_1 の導通抵抗 R_2 より充分小さいため出力点 O_2 は20Vから0Vに移行する。これにより消去を停止され、 M_1 のしきい電圧は0.2Vより低くはならない。このような V_T が負にならないような防止回路動作をする。すなわちスタティックRAMセルのそれぞれの出力点 O_1, O_2 がそれぞれ「L」、「H」である場合 t_2 の期間では不揮発性記憶素子 M_1 の消去が行なわれ M_1 の $V_T=0.2V$ という情報の格納が実行される。このようにスタティックRAMセルのそれぞれの情報に対応して不揮発性記憶素子の「書き込み」または「消去」が行なわれ、情報の格納が行なわれる。不揮発性記憶素子への情報の格納が終了後、電圧供給手段を降下遮断しても不揮発性記憶素子に情報が格納保持される。この状態期間を電圧供給手段の遮断期間 t_3 という。次に不揮発性記憶素子に格納された情報をスタティックRAMセルに読み戻す期間 t_4, t_5 につい

て述べる。まず基本電源である V_{CC} が0Vから5Vに回復すると同時に V_{B3} 及び W_1 も0Vから5Vに立上る。この時デジット線Dは0Vから2Vに立上り、 V_{DD} は開放状態にする。まず不揮発性記憶素子 M_1 が「書き込み」状態である場合(第4図(d))について述べる。Dが2V、 W_1 が5Vに設定されることにより出力点 O_1 は2Vに設定され、 M_1 のコントロール・ゲートには2Vが印加されるが、 M_1 のしきい電圧は5Vであるため M_1 はオフ、 O_2 は0Vを保持する。このように t_4 期間では $O_1=2V, O_2=0V$ で安定する。次に t_5 期間は V_{B3} を5Vから0Vに立下げ W_1, W_2 ともに0Vに設定し V_{DD} を開放から5Vに移行すると $O_1=5V, O_2=0V$ になる。ここで $R_1 < R_2$ に設計しておく事により O_1 の立上りが O_2 の立下りより早くなり、 M_1 が先にオンして $O_2=0V, O_1=5V$ に決定する。また t_4 期間のDの設定電圧は2Vである必要はなく、 M_1 の書き込み特性によって決定する電圧であり、たとえば4Vでもよい。

次に不揮発性記憶素子 M_1 が“消去”状態にある場合（第4図(h)）について述べる。出力点 O_2 は2Vに設定され M_1 のコントロール・ゲートに印加されるが、 M_1 のしきい電圧が0.2Vであるため O_2 は M_1 を介して V_{B3} より充電され1V以上になる。 O_2 をゲートとする T_1 のしきい電圧が0.7Vであるため T_1 はオンして O_1 は2Vから0Vに移行する。このように O_1 は0V、 O_2 は1V以上の状態で安定し、 t_4 期間を終了する。次に t_5 では V_{DD} が開放状態から5Vに移行し、これにより O_1 は0Vを保持し、 O_2 は1Vから5Vまで上昇し、読み出しを完了させる。以上のように出力点 O_1 、 O_2 はそれぞれ“L”、“H”の情報を読み返し、スタティックRAMセルは動作状態になる。このように不揮発性記憶素子のそれぞれの状態（書込、消去）に対応してスタティックRAMセルに情報は読み戻される。以上のように V_1 、 V_{B2} 、 V_{B3} 、 V_{DD} を上述のように設定することにより不揮発性記憶素子の情報を容易にスタティックRAMセルに読み戻すことが可能にな

実施例の回路図である。

1…シリコン基板、2…ドレイン、3…ソース、
4…シリコン酸化膜、5…フローティング・ゲート、6…コントロール・ゲート、7…薄い酸化膜、
D、 \bar{D} …ディジिट線、M1…不揮発性記憶素子、
O₁…第1の出力端、O₂…第2の出力端、R…
抵抗、R₁…第1の高抵抗素子、R₂…第2の高
抵抗素子、S₁…第1の配線、S₂…第2の配線、
T₁…第1のMOSトランジスタ、T₂…第2の
MOSトランジスタ、T₃…第3のMOSトラン
ジスタ、V_{DD}…第1の電源端子、V_{S2}…第2の電
源端子、V_{S3}…第3の電源端子。

代理人 弁理士 内 原 晋

る。

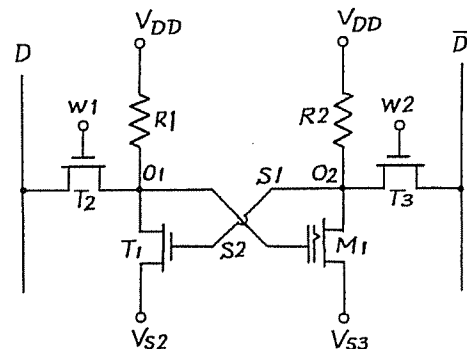
第5図は本発明の第2の実施例の回路図である。
 V_{SS} と M_1 のソースとの間に R を挿入することにより、情報の格納期間 t_2 での書き込み中の O_2 点の電位上昇と書き込み後の M_1 のしきい電圧を制御できるという利点がある。

〔發明の效果〕

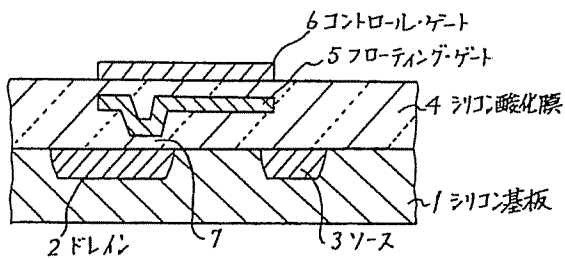
以上説明したように本発明は、双安定回路に不揮発性半導体記憶素子を用いることにおり、スタティックRAMセルと不揮発性記憶セルとをいわずに一体化できるので、メモリセルの構成素子数を少なくすることができるとともに情報の格納および読み戻しの操作も容易にできる効果がある。

4 図面の簡単な説明

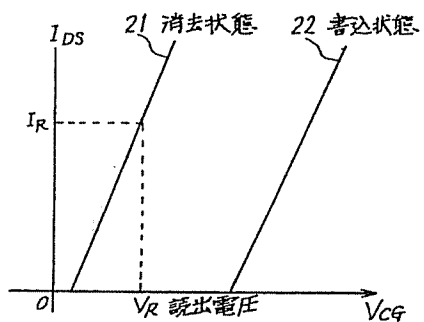
第 1 図は本発明の第 1 の実施例の主要部を示す回路図、第 2 図及び第 3 図はそれぞれ第 1 の実施例に使用される不揮発性半導体記憶素子の断面図及び特性図、第 4 図は第 1 の実施例の動作を説明するための信号波形図、第 5 図は本発明の第 2 の



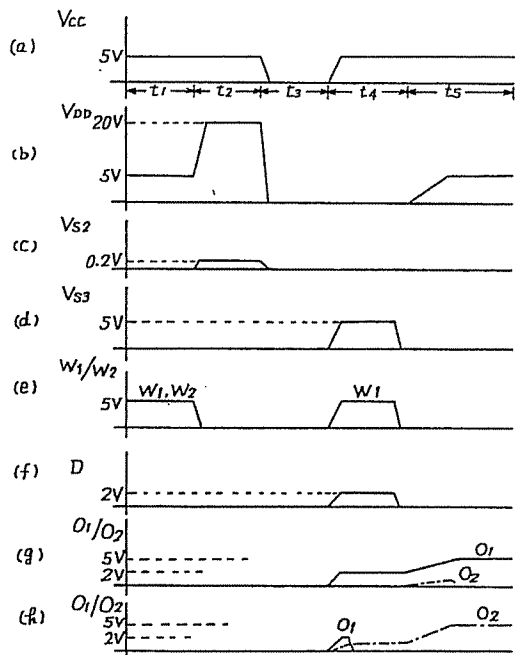
第 1 回



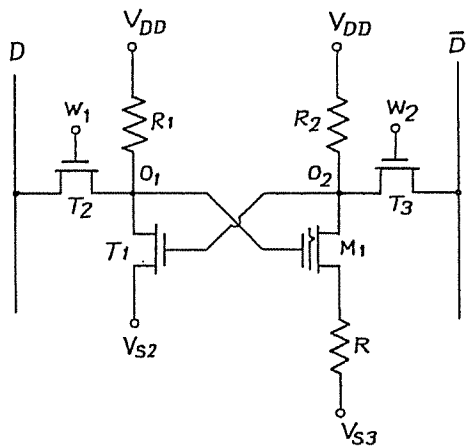
第 2 図



第 3 図



第 4 図



第 5 図